

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-093436

(43)Date of publication of application : 10.04.1998

(51)Int.Cl. H03M 1/66
H03M 1/10
H03M 1/74

(21)Application number : 08-247832

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 19.09.1996

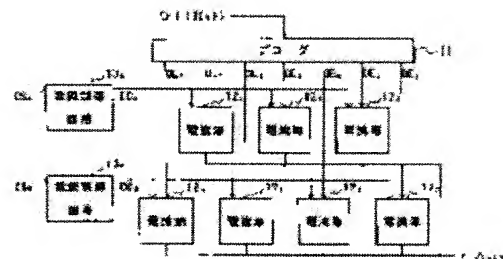
(72)Inventor : SHIMIZU NOBUYUKI

(54) DIGITAL/ANALOG CONVERSION CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To output an accurate analog signal by connecting plural current source to this current control circuit so as to control digital/analog conversion characteristic by current set information so as to execute nonlinear digital/ analog signal conversion.

SOLUTION: A current control circuit 13A is connected with the current sources 121 to 123 and outputs a current according to the content of a current setting signal CSA to input. Similarly, a current control circuit 13B is connected with the current sources 124 to 126 and outputs a current according to the content of a current setting signal CSB to input. Then the current sources 121 to 126 are provided with a current expressed by plural coefficients and convert a digital signal DI to plural nonlinear analog output AOUT according to the contents of the signals CSA and CSB to output. By supplying current setting information and controlling the characteristic of conversion from a digital signal to an analog signal like this, nonlinear digital/analog signal conversion is executed. In addition an accurate analog signal is output without omitting information originally provided for the digital signal.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-93436

(43) 公開日 平成10年(1998) 4月10日

(51) Int.Cl.⁶

識別記号

F I

H 0 3 M 1/66
1/10
1/74

H 0 3 M 1/66
1/10
1/74

D
B

審査請求 未請求 請求項の数 3 O L (全 10 頁)

(21) 出願番号 特願平8-247832

(22) 出願日 平成 8 年(1996) 9 月19日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 清水 信行

東京都港区虎ノ門1丁目7番12号沖電気工業株式会社内

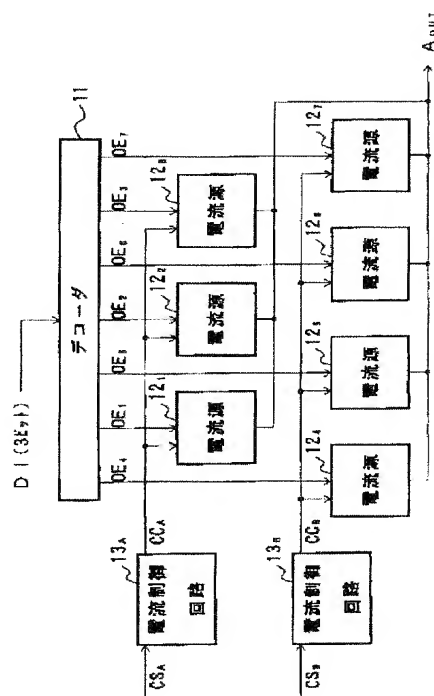
(74) 代理人 弁理士 遠山 勉 (外 2 名)

(54) 【発明の名称】 デジタル・アナログ変換回路

(57) 【要約】

【課題】 デジタル信号のアナログ信号への変換特性を制御できるデジタル・アナログ変換回路を提供する。

【解決手段】 出力する電流の電流値の設定と、電流を出力するか否かの制御が可能な複数の電流源 1 2 と、入力されたデジタル信号 D I に応じた幾つかの電流源 1 2 に電流を出力させるデコーダ 1 1 と、供給された電流設定信号 C S_A、または C S_B に応じて自らに割り当てられている幾つかの電流源 1 2 が出力する電流の電流値を変更する電流制御回路 1 3_A、1 3_B とからデジタル・アナログ変換回路を構成する。



【特許請求の範囲】

【請求項1】 出力する電流の電流値の設定と、電流を出力するか否かの制御が可能な第1所定数の電流出力手段と、

前記第1所定数の電流出力手段のなかから、入力されたデジタル信号に対応する幾つかの電流出力手段を選択し、選択した各電流出力手段に電流を出力させる出力制御手段と、

前記第1所定数の電流出力手段によって出力される電流の電流値を加算した値に応じた大きさを有するアナログ信号を出力するアナログ信号出力手段と、

前記第1所定数の電流出力手段のそれぞれが出力すべき電流の電流値を定める情報である設定情報の入力を受けて、その設定情報で定められた電流値の電流が出力されるように各電流出力手段を制御する電流値制御手段とを備えるデジタル・アナログ変換回路。

【請求項2】 前記第1所定数の電流出力手段は、第1所定数未満の数である第2所定数のグループに分類されており、

前記電流値制御手段は、前記第2所定数のグループのそれぞれに分類されている電流出力手段に対して同じ制御信号を供給することによって、各電流出力手段から前記設定情報で定められた電流値の電流が出力されるように前記第1所定数の電流出力手段を制御することの特徴とする請求項1記載のデジタル・アナログ変換回路。

【請求項3】 前記電流値制御手段は、前記第1所定数の電流出力手段のそれぞれが出力すべき電流の電流値の比を定める設定情報の入力を受けて、各電流出力手段が出力する電流の電流値がその設定情報で定められた比を有し、かつ、全ての電流出力手段が出力する電流値の総和が所定値となるように、前記第1所定数の電流出力手段を制御することの特徴とする請求項1または請求項2記載のデジタル・アナログ変換回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デジタル・アナログ変換回路に関し、例えば、デジタル画像データをアナログ信号に変換する際に用いられるデジタル・アナログ変換回路に関する。

【0002】

【従来の技術】近年のデジタル信号処理技術の進歩に伴い、さまざまな機器が、アナログ信号を用いたものから、デジタル信号を用いたものに置き換えられている。しかし、人間の視覚や聴覚は、アナログ量を識別しているため、デジタル信号だけを用いた機器は存在していないと言って良く、大部分の処理がデジタル信号によって行われている機器でも、いずれかの部分で、アナログ信号からデジタル信号、デジタル信号からアナログ信号への変換が行われている。

【0003】このような信号変換を行う回路としては、

さまざまな構成の回路が知られている。たとえば、デジタル信号からアナログ信号への変換を行うデジタル・アナログ変換回路としては、図7に示した構成の回路が知られている。

【0004】このデジタル・アナログ変換回路は、3ビットのデジタル信号D Iをアナログ信号に変換する回路であり、図示したように、デコーダ51と7つの電流源52₁～52₇とから構成されている。

【0005】デコーダ51は、入力されるデジタル信号D Iの内容に対応する出力制御信号O E₁～O E₇を出力する回路である。デコーダ51は、デジタル信号D Iの10進値が、m (m=0～7)であった場合、出力制御信号O E_i (i≤m)として、真理値“1”に対応する信号を出力し、出力制御信号O E_j (j>m)として、真理値“0”に対応する信号を出力する。

【0006】電流源52₁～52₇は、同じ大きさの電流I₁を出力する機能を有する。各電流源52_k (k=1～7)には、デコーダ51からの出力制御信号O E_kが入力されており、電流源52_kは、“1”に対応する出力制御信号O E_kが入力されたときに、“オン”状態となり、電流I₁を出力する。図示してあるように、電流源52₁～52₇の電流出力は並列接続されており、このデジタル・アナログ変換回路は、全ての電流源52が出力する電流の和を、アナログ出力A_{out}として出力する。

【0007】すなわち、このデジタル・アナログ変換回路では、デコーダ回路51が、デジタル信号D Iの値に応じた個数の電流源52を“オン”状態とするための出力制御信号O E₁～O E₇を出力する。そして、各電流源52は、“オン”状態となったときに、同じ電流I₁を出力するので、図8に示したように、このデジタル・アナログ変換回路からは、デジタル信号D Iに比例する大きさを有するアナログ出力A_{out}が出力される。

【0008】

【発明が解決しようとする課題】デジタル・アナログ変換回路には、上述したデジタル・アナログ変換回路以外にも、構成(動作原理)の異なるさまざまな回路が知られている。しかしながら、従来のデジタル・アナログ変換回路は、いずれも、変換特性(入力と出力との対応関係)が固定された回路であった。このため、従来のデジタル・アナログ変換回路を用いた場合、その使用分野によっては、変換精度上の問題が生じることがあった。

【0009】例えば、CRT(cathod ray tube)等の表示装置の入力信号として用いるアナログ信号をデジタル画像データから生成するために、従来のデジタル・アナログ変換回路を用いる場合を考える。この場合、表示装置の入力電圧とその入力電圧に対して表示される画像の輝度との間の対応関係は、非直線的なものとなっているので、デジタル画像データに正確に対応する画像を表示させるために、表示装置側あるいはデジタル・アナログ変換回路を備える装置側で、何らかの補正を行う必要が

生ずる。この補正を、デジタル・アナログ変換回路側で行う場合には、実際には異なる値（階調情報）を有する幾つかのデジタルデータが、同一の大きさを有するアナログ信号に変換されるように、デジタル・デジタル変換を行わなければならない。このような補正を行った場合、補正を行わなかった場合に比して、デジタル画像データと輝度とを、より良く対応づけられることにはなるが、元々のデジタル画像データが有していた階調情報の一部が失われてしまうことになる。また、接続する表示装置を変えた場合には、表示装置自体の表示特性が変わるので、デジタル・デジタル変換時の変換特性を設定し直さなければならない。

【0010】本発明は、このような問題を解決するためになされたものであり、デジタル信号のアナログ信号への変換特性を制御することが可能なデジタル・アナログ変換回路を提供することを課題とする。

【0011】

【課題を解決するための手段】本発明のデジタル・アナログ変換回路は、出力する電流の電流値の設定と、電流を出力するか否かの制御が可能な第1所定数の電流出力手段と、第1所定数の電流出力手段のなかから、入力されたデジタル信号に対応する幾つかの電流出力手段を選択し、選択した各電流出力手段に電流を出力させる出力制御手段と、第1所定数の電流出力手段によって出力される電流の電流値を加算した値に応じた大きさを有するアナログ信号を出力するアナログ信号出力手段と、第1所定数の電流出力手段のそれぞれが出力すべき電流の電流値を定める情報である設定情報の入力を受けて、その設定情報で定められた電流値の電流が出力されるように各電流出力手段を制御する電流値制御手段とを備える。

【0012】すなわち、本発明では、電流出力のオンオフ制御が可能な複数（第1所定数）の電流出力手段を、アナログ信号への変換を行うべきデジタル信号に応じて制御し、全ての電流出力手段の電流出力の総和に応じたアナログ信号を出力する形式のデジタル・アナログ変換回路を構成するに際して、電流出力手段として、出力する電流の電流値の設定が可能な手段を用いるとともに、デジタル・アナログ変換回路内に、各電流出力手段が出力する電流の電流値が、外部から供給される設定情報に応じたものとなるように、各電流出力手段を制御する電流値制御手段を設ける。

【0013】このように、本デジタル・アナログ変換回路は、供給する設定情報の内容を変更することによって、デジタル信号のアナログ信号への変換特性を制御することができるようになっていく。また、非線形の変換特性を持たせることが可能であるので、例えば、デジタル画像データからCRT等の表示装置用のアナログ信号を生成する機器を、本デジタル・アナログ変換回路を用いて形成すれば、デジタル画像データが元々有している階調情報を欠落させることなく、そのデータが本来有し

ている情報に正確に対応したアナログ信号を出力できる機器が得られることになる。また、その機器は、変換特性の制御が可能な機器となるので、対象とする表示装置の変更にも、容易に対応できることになる。

【0014】なお、本発明のデジタル・アナログ変換回路を構成するに際して、第1所定数の電流出力手段を、第1所定数未満の数である第2所定数のグループに分類しておくとともに、第2所定数のグループのそれぞれに分類される電流出力手段に対して同じ制御信号を供給することによって、各電流出力手段から設定情報で定められた電流値の電流が出力されるように第1所定数の電流出力手段を制御する電流値制御手段を採用することも出来る。

【0015】このように構成を採用した場合には、電流値制御手段が、簡単な回路で実現できるので、少ない素子で、変換特性が制御可能なデジタル・アナログ変換回路を形成できることになる。

【0016】また、本発明のデジタル・アナログ変換回路を構成するに際して、第1所定数の電流出力手段のそれぞれが出力すべき電流の電流値の比を定める設定情報の入力を受けて、各電流出力手段が出力する電流の電流値がその設定情報で定められた比を有し、かつ、全ての電流出力手段が出力する電流値の総和が所定値となるように、第1所定数の電流出力手段を制御する電流値制御手段を採用することも出来る。

【0017】このように構成されたデジタル・アナログ変換回路では、変換特性の制御（供給する設定情報の変更）を行った場合に、アナログ信号のフルスケールが、自動的に一定に制御される。このため、上記のような電流値制御手段を採用してデジタル・アナログ変換回路を構成した場合には、変換特性の変更を行っても、フルスケール調整を別途行う必要がないデジタル・アナログ変換回路が得られることになる。

【0018】

【発明の実施の形態】以下、本発明の実施形態を図面を参照して具体的に説明する。

<第1実施形態>第1実施形態のデジタル・アナログ変換回路は、3ビットのデジタル信号をアナログ信号に変換する回路である。

【0019】図1に、第1実施形態のデジタル・アナログ変換回路の概略構成を示す。図示したように、デジタル・アナログ変換回路は、デコーダ11と、7つの電流源12₁～12₇と、2つの電流制御回路13₁、13₂とから構成されている。

【0020】デコーダ11は、入力されるデジタル信号D1の内容に対応する出力制御信号OE₁～OE₇を出力する回路である。デコーダ11は、デジタル信号D1の10進値が、m（m=0～7）であった場合、出力制御信号OE_i（i≤m）として、真理値“1”に対応する信号を出力し、出力制御信号OE_j（j>m）として、

真理値“0”に対応する信号を出力する。

【0021】電流源12_i～12₇は、それぞれ、デコーダ11からの出力制御信号OE_i～OE₇によって、電流出力のオン・オフ制御がなされる回路であり、電流源12_k（k=1～7）は、真理値“1”に対応する出力制御信号OE_kが入力されたときに、オン状態となる。図示してあるように、電流源12_i～12₇の電流出力は並列接続されており、全ての電流源12_i～12₇が出力する電流の総和が、アナログ出力A_{an}として出力される。

【0022】電流制御回路13_x（X=A、B）は、各電流源12が出力する電流値を、外部から供給される電流設定信号CS_xに応じた値とするための制御を行う回路である。図示してあるように、一方の電流制御回路13_aは、電流源12_i～12₃と接続されており、これら3つの電流源12の制御を担当する。また、他方の電流制御回路13_bは、残りの4つの電流源12_i～12₇の制御を担当する。なお、詳細は後述するが、各電流制御回路13_xには、電流設定信号CS_xとして、それぞれ、2値レベル信号である設定信号S_{n1}～S_{n3}が入力されるようになっている。

【0023】以下、回路図（図2）を用いて、本デジタル・アナログ変換回路の構成、動作を具体的に説明する。なお、電流制御回路13_a、13_bは、同一構成の回路であり、電流源12_i～12₇も同一構成の回路であるため、図2には、電流制御回路13_aと電流源12_iの回路構成だけを示してある。

【0024】図示したように、電流制御回路13_aは、6つのPチャネル型MOSトランジスタ21～26と、定電流I₀を出力する定電流源30によって構成されている。また、電流源12_iは、2つのPチャネル型MOSトランジスタ27、28によって構成されている。なお、MOSトランジスタ21、22、23、27は、チャネル長が等しくなるように形成されている。

【0025】電流制御回路13_a内のMOSトランジスタ21～23のソースは、電源線41に接続されており、MOSトランジスタ21～23のドレインは、それぞれ、MOSトランジスタ24～26のソースに接続されている。また、MOSトランジスタ21～23のゲートは、制御信号線42に接続されている。また、制御信号線42には、MOSトランジスタ24～26のドレインと、定電流源30と、電流源12内のMOSトランジスタ27のゲートも接続されている。そして、MOSトランジスタ24～26のゲートには、それぞれ、電流設定信号CS_aの要素である設定信号S_{n1}、S_{n2}、S_{n3}が入力されている。

【0026】電流源12_iを構成するMOSトランジスタ27のソースは、電源線41と接続されており、ドレインは、MOSトランジスタ28のソースと接続されている。MOSトランジスタ28のゲートには、デコーダ

11からの出力制御信号OE_iが入力されており、MOSトランジスタ28のドレインが、アナログ出力A_{an}を取り出すための信号線43に接続されている。

【0027】MOSトランジスタ21～23とMOSトランジスタ27は、飽和領域で動作するように設計されている。そして、図示してあるように、各MOSトランジスタのゲートとソースは、同一電位に接続されているため、これらのMOSトランジスタからなる部分は、カレント・ミラーとして動作する。また、MOSトランジスタ21～23には、それぞれ、スイッチとして機能するMOSトランジスタ24～27が直列に接続されているので、電流設定信号CS_aの内容に応じた組み合わせのMOSトランジスタによって、カレント・ミラーが構成されることになる。

【0028】例えば、電流設定信号CS_aが、MOSトランジスタ24だけを“オン”状態に制御する信号S_{n1}であった場合には、MOSトランジスタ24とMOSトランジスタ27によってカレント・ミラーが構成される。従って、この状況下、電流源12_i内のMOSトランジスタ28に“1”レベルの出力制御信号OE_iが入力されたときには、電流源12_iから信号線43に、 $I_{CASE1} = (W_{27} / W_{21}) \cdot I_0$ でその大きさが表される電流が供給される。なお、上記関係式において、W₂₇、W₂₁は、それぞれ、MOSトランジスタ27、21の実効チャネル幅である。

【0029】同様に、電流設定信号CS_aが、MOSトランジスタ24とMOSトランジスタ25とを“オン”状態に制御する信号S_{n1}とS_{n2}であった場合に、MOSトランジスタ28に“1”レベルの出力制御信号OE_iが入力されたときには、電流源12_iから信号線43に、 $I_{CASE2} = (W_{27} / (W_{21} + W_{22})) \cdot I_0$ でその大きさが表される電流が供給される。また、電流設定信号CS_aが、3つのMOSトランジスタ24～26を全て“オン”状態に制御する信号S_{n1}～S_{n3}であった場合には、電流源12_iから信号線43に、 $I_{CASE3} = (W_{27} / (W_{21} + W_{22} + W_{23})) \cdot I_0$ で表される電流が供給されることになる。ただし、W₂₂、W₂₃は、それぞれ、MOSトランジスタ22、23の実効チャネル幅である。

【0030】図1を用いて説明したように、電流制御回路13_aは、電流源12_i及び電流源12_jにも接続されている。このため、電流源12_iと電流源12_jも、電流制御回路13_aに入力されている電流設定信号CS_aの内容に応じた電流を出力する。すなわち、電流制御回路13_aに接続されている3つの電流源12_i～12_jは、同じ電流値の電流を出力する。

【0031】電流源12_i～12_jの動作も、電流源12_i～12_jと同様のものであり、各電流源12_i～12_jは、オン状態となったとき、電流制御回路13_aに供給されている電流設定信号CS_aの内容に応じた、同じ電流値の電流を出力する。

10

20

30

40

50

【0032】このように、本デジタル・アナログ変換回路内の電流源12_i～12_jは、電流設定信号CS_Aの内容に応じたレベルの電流を出力し、電流源12_i～12_jは、電流設定信号CS_Bの内容に応じたレベルの電流を出力する。このため、電流源12_i～12_jがそれぞれ出力する電流を、 $k_i I_0$ で表し、電流源12_i～12_jがそれぞれ出力する電流を、 $k_j I_0$ で表した場合、デジタル信号DIとアナログ出力A_{OUT}の間には、図3に示した関係が成立することになる。なお、 k_1 、 k_2 は、上述した W_{27}/W_{21} 、 $W_{27}/(W_{21}+W_{22})$ 、 $W_{27}/(W_{21}+W_{22}+W_{23})$ のいずれかと一致する値である。例えば、実効チャネル幅の間に、 $W_{27}=1.5 \cdot W_{21}$ 、 $W_{22}=0.5 \cdot W_{21}$ 、 $W_{23}=1.5 \cdot W_{21}$ といった関係が設定されていた場合、 k_1 、 k_2 は、1.5、1.0、0.5の中のいずれかの値を取るようになる。

【0033】図3に示したように、本デジタル・アナログ変換回路では、DIが3以下であった場合には、 $A_{OUT}=DI \times k_1 I_0$ が成立し、DIが4以上であった場合、 $A_{OUT}=(DI-3) \times k_2 I_0 + 3 k_1 I_0$ が成立する。すなわち、 k_1 と k_2 とが異なる値となるように電流設定信号CS_A、CS_Bを選択していた場合、本デジタル・アナログ変換回路は、図4に例示したように、2本の線分からなる折れ線によって表される変換特性を示すデジタル・アナログ変換回路として機能する。また、 k_1 、 k_2 は、それぞれ、3種の値から選択できる値であるので、このデジタル・アナログ変換回路は、図4に示した変換特性以外にも、5種の非線形な変換特性と、3種の線形な変換特性を示す回路として動作させることができる回路になっている。

【0034】このように、第1実施形態のデジタル・アナログ変換回路は、複数の変換特性の中から、実際にデジタル・アナログ変換の際に用いる変換特性を選択できるように構成されており、非線形の変換特性を有する回路としても動作させることが可能であるので、このデジタル・アナログ変換回路を用いて、表示装置へ入力されるアナログ信号を生成する機器を形成すれば、変換対象であるデジタル画像データに含まれる情報を欠落させずに、その内容を表示装置に表示できることになる。また、表示装置の変更によって要求される変換特性が変わった場合にも、その変更に対応できることになる。

【0035】＜第2実施形態＞図5に、第2実施形態のデジタル・アナログ変換回路の全体構成を示す。図示したように、第2実施形態のデジタル・アナログ変換回路は、デコーダ11と、7つの電流源12_i～12_jと、2つの電流モニタ回路14_A、14_Bと、全電流制御回路15と、2つの電流制御回路16_A、16_Bとから構成されている。これらの構成要素のうち、デコーダ11と電流源12_i～12_jは、第1実施形態のデジタル・アナログ変換回路が備えるデコーダ11、電流源12_i～12_jと

同一構成の回路であり、図から明かなように、第2実施形態のデジタル・アナログ変換回路は、ほぼ、第1実施形態のデジタル・アナログ変換回路に、電流モニタ回路14_A、14_Bと全電流制御回路15とを付加した回路となっている。

【0036】以下、図6を用いて、本デジタル・アナログ変換回路の構成、動作を詳細に説明する。なお、電流モニタ回路14_A、14_Bは、ほぼ、同一構成の回路であり、電流源12_i～12_jは、全く同一構成の回路であるため、図6には、電流源12_iと電流モニタ回路14_Aと全電流制御回路15と電流制御回路16_Aの回路構成だけを示してある。また、この実施形態においても、各MOSトランジスタのチャネル長は等しく設定されている。

【0037】図示したように、電流制御回路16_Aは、電流制御回路13_Aの定電流源30（図2参照）の代わりに、 n チャネル型MOSトランジスタ31を設けた回路となっている。

【0038】電流モニタ回路14_Aは、実効チャネル幅 W_{32} が、電流源12_i内のMOSトランジスタ27の実効チャネル幅 W_{27} の0.3倍に設定されたMOSトランジスタ32のソースとゲートを、それぞれ、電源線41と信号線42に接続することによって形成されている。すなわち、電流モニタ回路14_A内のMOSトランジスタ32は、そのドレイン電流が、電流源12_i～12_j内に設けられている3つのMOSトランジスタ27のドレイン電流の和の1/10となるように、電源線41並びに信号線42に対して（電流源12_i～12_jに対して）接続されている。そして、MOSトランジスタ32のドレイン電流が、モニタ出力M_{0A}として、全電流制御回路15に供給されている。

【0039】図6には示していないが、電流モニタ回路14_Bも、同様の構成を有する回路となっている。ただし、電流モニタ回路14_Bには、電流モニタ回路14_Aとは異なる数の電流源12が接続されるので、電流モニタ回路14_B内のMOSトランジスタ32としては、実効チャネル幅 W が、MOSトランジスタ27の実効チャネル幅 W_{27} の0.4倍に設定されたトランジスタが用いられている。すなわち、電流モニタ回路14_Bは、電流源12_i～12_j内に設けられている4つのMOSトランジスタ27のドレイン電流の和の1/10を、モニタ出力M_{0B}として出力するように構成されている。

【0040】全電流制御回路15は、抵抗値 R_1 を有する抵抗33と差動増幅器34によって構成されている。差動増幅器34の非反転入力端子には、基準電圧 V_R が入力されており、反転入力端子には、図から明かなように、抵抗33によって、電圧信号に変換されたモニタ出力M_{0A}とモニタ出力M_{0B}の和が入力されている。そして、差動増幅器34の出力が、電流制御回路16_A内のMOSトランジスタ31のゲートに入力されている。

【0041】このような構成を有する第2実施形態のデジタル・アナログ変換回路では、モニタ出力 M_{0a} とモニタ出力 M_{0b} の和が、 V_R/R_1 より大きい場合、差動増幅器34の反転入力端子への入力電圧の方が、非反転入力端子への入力電圧よりも高くなる。従って、両モニタ出力の和が V_R/R_1 より大きい場合、差動増幅器34の出力電圧は低下し、電流制御回路16内のMOSトランジスタ31のドレイン電流が減少する。MOSトランジスタ31が定電流源30（図2参照）の代わりに用いられていることから明かなように、MOSトランジスタ31のドレイン電流は、電流源12₁～12₃の電流値を決めるカレント・ミラーの入力電流となっている。このため、MOSトランジスタ31のドレイン電流が減少した場合、各電流源12がオン状態になったときに出力する電流値が減少することになる。逆に、モニタ出力 M_{0a} とモニタ出力 M_{0b} の和が、 V_R/R_1 より小さい場合、MOSトランジスタ31のドレイン電流が増大する結果、電流源12が出力する電流値は増加する。

【0042】すなわち、本デジタル・アナログ変換回路では、全電流制御回路15によって、モニタ出力 M_{0a} とモニタ出力 M_{0b} の和が V_R/R_1 と一致するように、電流制御回路16_a、16_bが制御される。当該制御は、電流設定信号 C_{S_a} 、 C_{S_b} の内容に依らない制御である。また、モニタ出力 M_{0a} とモニタ出力 M_{0b} は、それぞれ、電流源12₁～12₃、電流源12₄～12₇が出力する電流値の総和の1/10となっている。従って、第2実施形態のデジタル・アナログ変換回路では、変換特性の変更を行った際、全電流源12が出力する電流値の総和の1/10が、 V_R/R_1 に一致するように、すなわち、アナログ出力 A_{out} のフルスケールが、 $10V_R/R_1$ に保たれるように、各電流制御回路16が制御されることになる。このため、第2実施形態のデジタル・アナログ変換回路は、変換特性の制御（変更）を行っても、フルスケール調整を別途行う必要がない回路となっている。

【0043】＜変形例＞実施形態のデジタル・アナログ変換回路は、2つの電流制御回路に同じ電流設定信号が供給された場合、各電流源の出力電流値が等しくなる回路であったが、互いに異なる大きさの電流を出力する複数の電流源を用いても、実施形態と同様の手法によって、変換特性の制御可能なデジタル・アナログ変換回路を構成することができる。また、その際、複数の電流源の中の幾つかを、同じ大きさの電流を出力する電流源とすることもできる。

【0044】また、実施形態のデジタル・アナログ変換回路では、MOSトランジスタのゲート電圧を変化させることによって、電流源から出力される電流値が変化するように構成してあるが、定電流源として機能する複数のMOSトランジスタと、それらに直列に接続された、電流設定信号によってオンオフ制御される複数のスイッチとから、出力電流値の大きさが制御できる電流源を構

成しても良い。

【0045】また、電流制御回路の個数は、2個に限られるものではなく、例えば、N個の電流制御回路を設ければ、N本の線分によって折れ線近似される変換特性を示すデジタル・アナログ変換回路が構成できることになる。さらに、変換対象とするデジタル信号のビット数を3ビット以上としても良いことは当然である。

【0046】

【発明の効果】以上詳細に説明したように、本発明のデジタル・アナログ変換回路は、設定情報を供給することによって、デジタル信号のアナログ信号への変換特性を制御することができる。また、非線形のデジタル・アナログ信号変換を行うことができる。このため、本デジタル・アナログ変換回路を採用して、非線形の変換特性が望まれる表示装置などを対象とする機器を構成すれば、デジタル信号が元々有している情報を欠落させずに、その信号が本来示している情報に正確に対応したアナログ信号を出力できることになる。また、その機器は、対象とする表示装置の変更にも容易に対応できる機器となる。

【図面の簡単な説明】

【図1】本発明の第1実施形態のデジタル・アナログ変換回路の概略構成図である。

【図2】第1実施形態のデジタル・アナログ変換回路が備える電流制御回路と電流源の回路図である。

【図3】第1実施形態のデジタル・アナログ変換回路におけるデジタル信号入力と制御信号、アナログ信号出力との対応関係を示した図である。

【図4】第1実施形態のデジタル・アナログ変換回路の変換特性を示した図である。

【図5】本発明の第2実施形態のデジタル・アナログ変換回路の概略構成図である。

【図6】第2実施形態のデジタル・アナログ変換回路が備える電流制御回路と電流源と電流モニタ回路と全電流制御回路の回路図である。

【図7】従来のデジタル・アナログ変換回路の一例を示した図である。

【図8】図7に示したデジタル・アナログ変換回路の変換特性を示した図である。

【符号の説明】

11、51 デコーダ

12、52 電流源

13、16 電流制御回路

14 電流モニタ回路

15 全電流制御回路

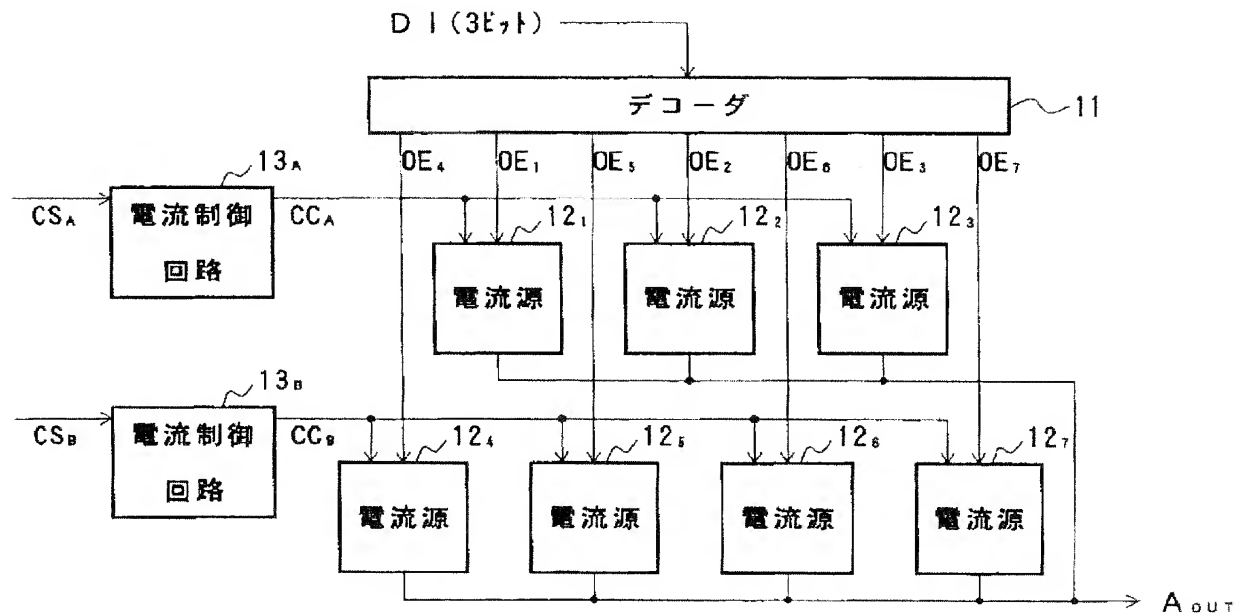
21～28、31、32 MOSトランジスタ

30 定電流源

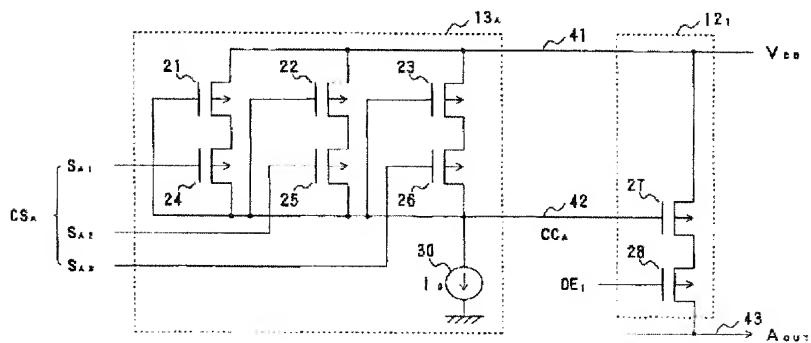
33 抵抗

34 差動増幅器

【図1】



【図2】



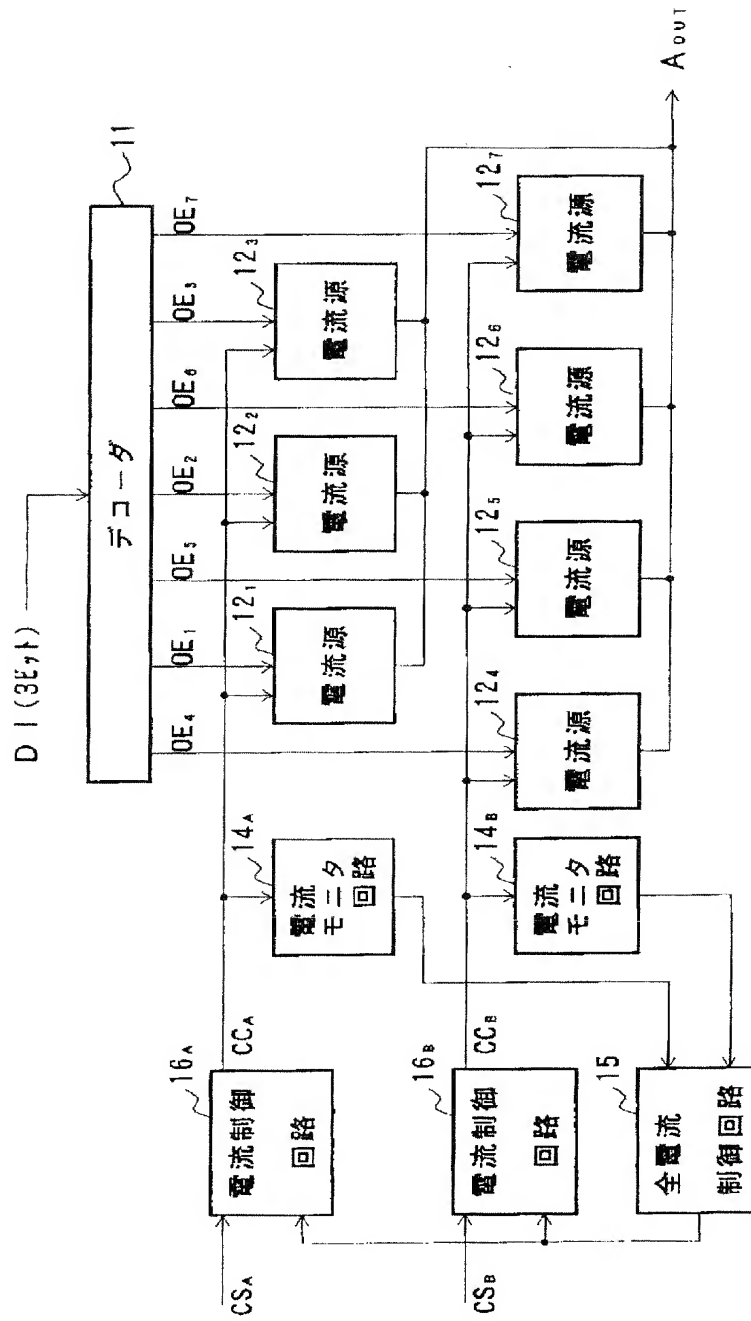
【図3】

D I	OE ₁	OE ₂	OE ₃	OE ₄	OE ₅	OE ₆	OE ₇	A _{OUT}
0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	$k_1 I_0$
2	1	1	0	0	0	0	0	$2 k_1 I_0$
3	1	1	1	0	0	0	0	$3 k_1 I_0$
4	1	1	1	1	0	0	0	$k_2 I_0 + 3 k_1 I_0$
5	1	1	1	1	1	0	0	$2 k_2 I_0 + 3 k_1 I_0$
6	1	1	1	1	1	1	0	$3 k_2 I_0 + 3 k_1 I_0$
7	1	1	1	1	1	1	1	$4 k_2 I_0 + 3 k_1 I_0$

The graph plots A_{OUT} on the vertical axis against D_I on the horizontal axis. The horizontal axis is marked from 0 to 7. The vertical axis has labels $3k_1 I_0$ and $(4k_2+3k_1)I_0$. A piecewise linear curve starts at the origin (0,0) and passes through points at $D_I = 1, 2, 3, 4, 5, 6, 7$. Dashed lines connect the points at $D_I = 1$ and $D_I = 3$ to their respective values on the vertical axis.

[illegible][illegible]

【図5】



【図7】

